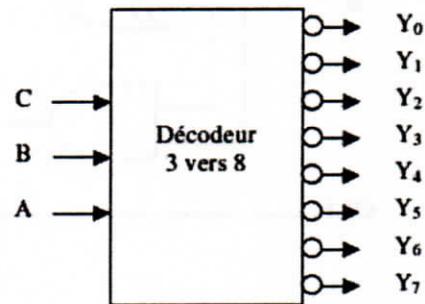


EMD semestriel

Exercice 1 : (04 points)

On souhaite faire la synthèse d'un décodeur 3 vers 8 avec les sorties actives au niveau bas.

1. Etablir la table de vérité du circuit.
2. Donner une implantation avec des portes NAND.
3. Comment faut-il modifier le schéma pour ajouter au montage une entrée de validation V telle que le circuit fonctionne normalement quand V=1 et que toutes les sorties $Y_i = 1$ quand V=0 ?



Exercice 2 : (05 points)

Soit la description VHDL suivante :

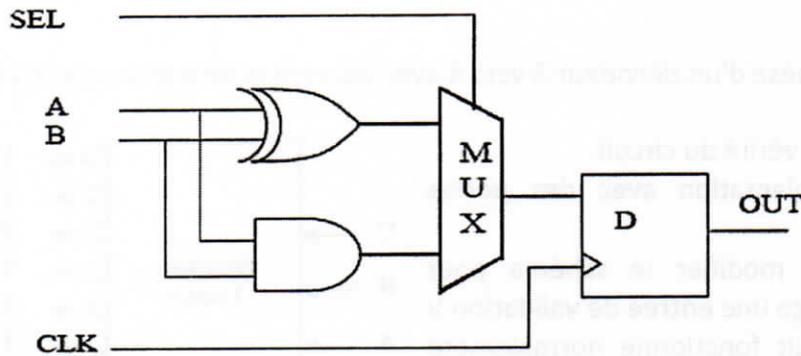
```
entity exo1 is
port( x1, x2, x3, sel: in std_logic;
      y: out std_logic);
end entity exo1;
```

```
-----
architecture arch of exo1 is
signal a, b, c, d, e, f: std_logic;
begin
  a <= x1 xor x3;
  b <= x1 and x3;
  c <= x2 and a;
  d <= b or c;
  e <= x1 xor x2;
  f <= x3 xor e;
  P : process (d, f, sel)
begin
  if sel='0' then
    y <= d;
  else
    y <= f;
  end if;
end process ;
end arch;
```

1. Tracez à partir d'éléments de base le schéma correspondant.
2. Le processus P est-il combinatoire ou séquentiel ? Justifiez.
3. Quel est selon vous la fonction de ce circuit ?

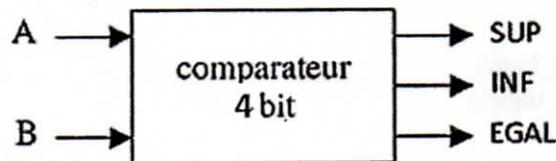
Exercice 3 : (05 points)

Ecrivez une description en VHDL à partir du circuit suivant :



Exercice n°4 : (06 points)

On souhaite écrire une description en VHDL décrivant le fonctionnement d'un comparateur non signé sur 4 bits entre deux nombre A et B comme le montre la figure suivante :



1. Donnez sa table de vérité.
2. Ecrivez la description, en VHDL, correspondante en utilisant l'instruction conditionnelle « if ».
3. Donnez le circuit correspondant.

BON COURAGE

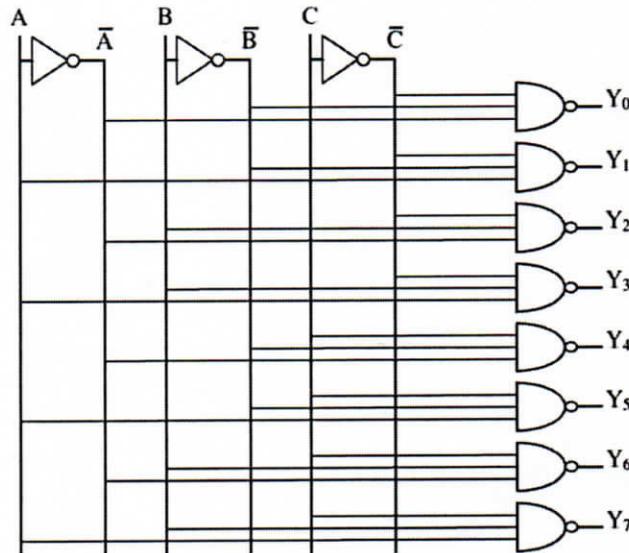
Corrigé de la matière ST14

Exercice 1 (4 pts)
 1.

Décimal	C	B	A	Y ₀	Y ₁	Y ₂	Y ₃	Y ₄	Y ₅	Y ₆	Y ₇
0	0	0	0	0	1	1	1	1	1	1	1
1	0	0	1	1	0	1	1	1	1	1	1
2	0	1	0	1	1	0	1	1	1	1	1
3	0	1	1	1	1	1	0	1	1	1	1
4	1	0	0	1	1	1	1	0	1	1	1
5	1	0	1	1	1	1	1	1	0	1	1
6	1	1	0	1	1	1	1	1	1	0	1
7	1	1	1	1	1	1	1	1	1	1	0

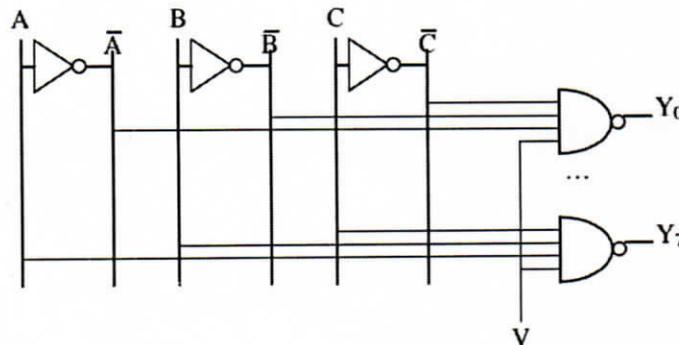
1 pt

2.



1,5 pt

3.



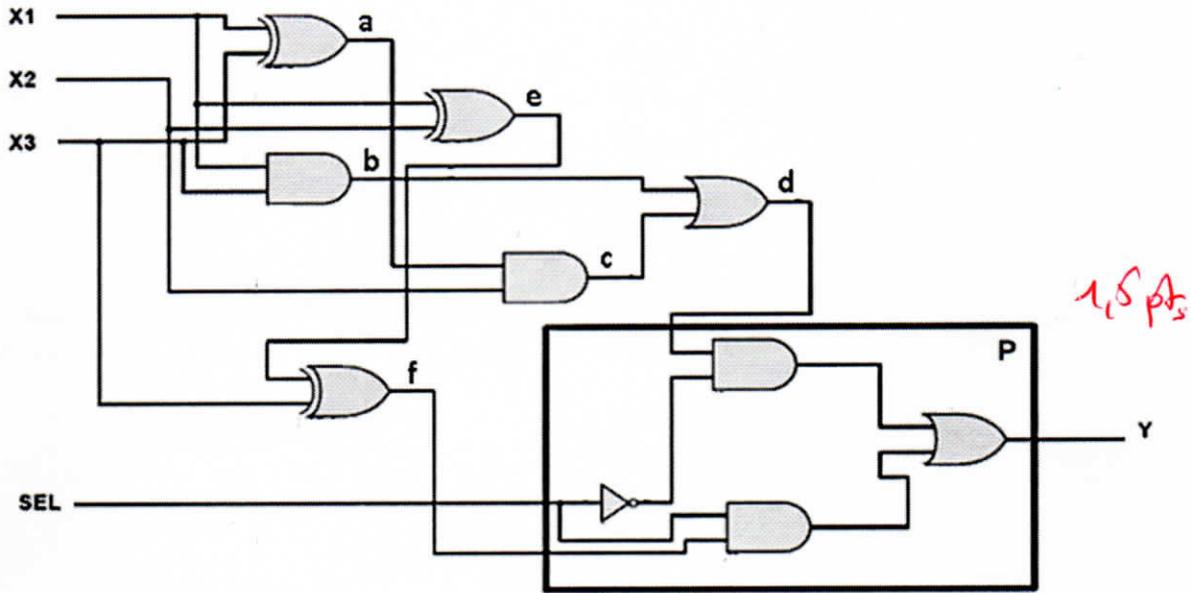
1,5 pt

DRIZ Samia

[Handwritten signature]

Exercice 2 (5 pts)

1.



2. Le processus P est-il combinatoire car il n'est pas par une horloge et ne contient pas des bascules. 1pt
3. Additionneur complet 1 bit : 0,5 pt

$$Y = f = X1 \oplus X2 \oplus X3 \quad \text{si sel}=1$$

$$Y = d = (X1 \oplus X3) \cdot X2 + X1 \cdot X3 \quad \text{si sel}=0$$

2 pts

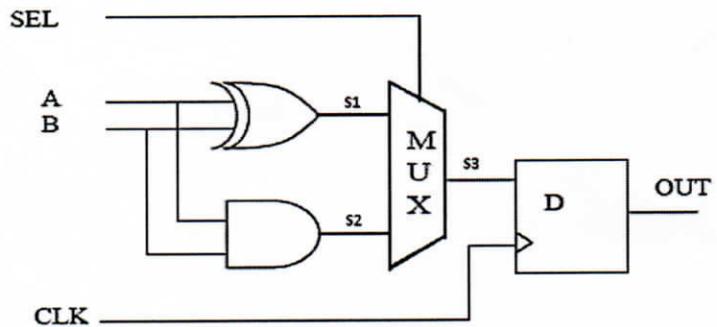
Exercice 3 (5 pts)

1pt Library ieee ;
Use ieee.std_logic_1164.all ;

1pt Entity exercice2 is
port(A, B, SEL, CLK : in std_logic;
Out: out std_logic);
End exercice2;

Architecture desc of exercice2 is
Signal S1,S2,S3 std_logic;
begin
S1<= A xor B;
S2<= A and B;
process(SEL)
begin
if SEL='0' then
S3<=S1;
else
S3<=S2;
end if ;
end process;

3pts



```

process(CLK,S3)
begin
  if (CLK'event and CLK=1 ) then
    Out<=S3;
  end if;
end process;
end desc;

```

Exercice 4

(6 pts)

1.

Entrées				Sorties		
A3, B3	A2, B2	A1, B1	A0, B0	A_SUP_B	A_INF_B	A_EGAL_B
A3>B3	x	x	x	1	0	0
A3<B3	x	x	x	0	1	0
A3=B3	A2>B2	x	x	1	0	0
A3=B3	A2<B2	x	x	0	1	0
A3=B3	A2=B2	A1>B1	x	1	0	0
A3=B3	A2=B2	A1<B1	x	0	1	0
A3=B3	A2=B2	A1=B1	A0>B0	1	0	0
A3=B3	A2=B2	A1=B1	A0<B0	0	1	0
A3=B3	A2=B2	A1=B1	A0=B0	0	0	1

1,5 pts

2.

(2,5 pts)

```

library IEEE;
use IEEE.STD_LOGIC_1164.all;

```

```

entity comparator_4bit is
  port(
    a : in STD_LOGIC_VECTOR(3 downto 0);
    b : in STD_LOGIC_VECTOR(3 downto 0);
    egal : out STD_LOGIC;
    sup : out STD_LOGIC;
    inf : out STD_LOGIC );
end comparator_4bit;

```

```

architecture comparator_4bit_arc of comparator_4bit is
begin

```

```

  comparator : process (a,b) is
  begin
    if (a=b) then
      egal <= '1';
      sup <= '0';
      inf <= '0';
    elsif (a<b) then
      egal <= '0'

```

← 0,5 pt

0,5 pt

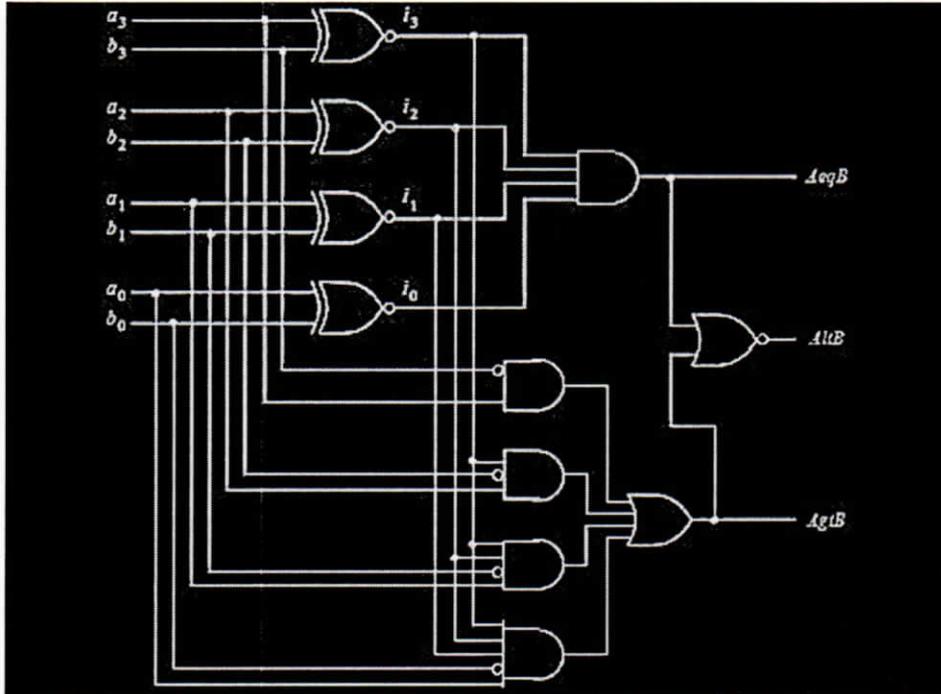
0,5 pt

1 pt

```
sup <= '0';  
inf <= '1';  
else  
  egal <= '0';  
  sup <= '1';  
  inf <= '0';  
end if;  
end process comparator;  
end comparator_4bit_arc;
```

3.

2pts



DRE Samudra
Duj 4/24